

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

08/00835

(54) MEMORY MODULE

(11) 61-63048 (A) (43) 1.4.1986 (19) JP

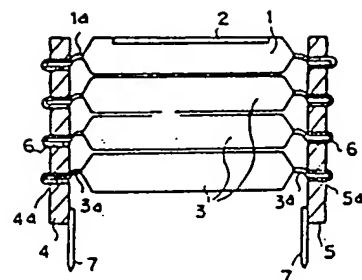
(21) Appl. No. 59-185042 (22) 4.9.1984

(71) TOSHIBA CORP (72) SEIICHI KAGEYAMA

(51) Int. Cl. H01L25/14, H01L29/78

**PURPOSE:** To produce memory module with high mounting concentration by a method wherein a flat package of ultraviolet ray elimination type EPROM with an ultraviolet ray transmission window is deposited on flat patterns of other memory elements with the same dimension while exposing this window to atmosphere to connect these leads with circuit substrate provided on both sides.

**CONSTITUTION:** A flat package 1 of ultraviolet ray elimination type EPROM with an ultraviolet ray transmission window such as glass on the surface is deposited on a laminated body of three static RAMs 3 with the same shape, width between leads. Next a pair of circuit substrates 4, 5 provided with conductive patterns on both sides of packages 1 and 3 are arranged in parallel with each other to insert leads 1a of package 1 and leads 3a of package 3 respectively into through holes 4a and 5a made into the circuit substrates 4, 5 and then bonded to each other using solder 6. Besides, dip leads 7 are fixed to the lower ends of substrate 4, 5 to connected to the conductive patterns on the substrates 4, 5.



Japanese Patent Laying-Open No. 61-63048  
Laying-Open Date: April 1, 1986  
Application No. 59-185042  
Filed: September 4, 1984  
5 Inventor: Seiichi Kageyama  
Applicant: Toshiba

#### Field of the Invention

10 The present invention relates to a memory module mounting an ultraviolet-erasing-type EPROM flat package in a high density along with other memory elements.

#### Background of the Invention

15 The ultraviolet-erasing-type EPROM chip is designed in that memory data written thereon is erased by ultraviolet rays applied thereto.

Conventionally, when assembling a memory module by mounting this type of EPROM chips, EPROM bare chips are installed in the same package along with other memory elements, wherein an ultraviolet-erasing window is provided  
20 in this package.

However, such a memory module requires a special arrangement in which an entire part of the large package has the ultraviolet-erasing window, resulting an increase of the manufacturing cost.

25 In addition, it is difficult to guarantee the complete writing and erasing performance on the EPROM bare chips, resulting a bad production yield and difficult mass-production.

30 Furthermore, the bare chip has another disadvantage in that refuse deposited on its surface causes errors in the erasing function. As a result, the chip mounting and assembly of the package have to be performed in a very clean environment.

#### Summary of the Invention

35 It is an object of the present invention to provide a high quality of memory module having an ultraviolet-erasing-type EPROM in a high density.

Namely, a memory module of the present invention, comprising:

5 an ultraviolet-erasing-type EPROM flat package having a window from which ultraviolet rays pass through;

a flat package of other memory elements or a memory element mounting board having a substantially same size as said EPROM flat package;

10 said EPROM flat package and said flat package of other memory elements or said mounting board being layered, wherein said EPROM flat package is positioned on the top so that said ultraviolet-erasing window is exposed to the outside;

15 each lead of these components respectively inserted to through holes provided in a pair of side circuit boards facing each other so as to be electrically connected to conductor patterns of each side circuit board.

#### Brief Description of the Drawings

20 Figure 1 is a partial cross-sectional view showing the first embodiment of the present invention.

Figure 2 is a partial cross-sectional view showing the second embodiment of the present invention.

#### Detailed Description of the Invention

25 In the following, the preferred embodiments of the present invention are described. Figure 1 is a partial cross-sectional view showing the first embodiment of the memory module of the present invention.

30 In the drawing, reference numeral 1 is an ultraviolet-erasing-type EPROM flat package having a glass window 2 on its top from which ultraviolet rays pass through. Below the flat package 1, three static RAM flat packages 3 having the same shape as the flat package are layered, wherein each width between each lead of these flat packages 3 is  
35 identical.

Leads 1a of the ultraviolet-erasing-type EPROM flat package 1 and leads 3a of the static RAM flat packages 3 are respectively inserted to through holes 4a and 5a provided in side circuit boards 4 and 5. The leads are soldered therein and electrically connected to conductor patterns (not shown) of the circuit boards 4 and 5.

Furthermore, there are multiple DIP-type leads 7 projecting from the bottom of the circuit boards 4 and 5. These leads 7 are electrically connected to the conductor patterns of the circuit boards 4 and 5 so as to further electrically connect the module to another circuit board, which is considered to be a mother board.

In this type of memory module structured as in above, the completely sealed ultraviolet-erasing-type EPROM flat package 1 with a guaranteed quality is layered and mounted with the static RAM flat packages 3. Thus, it is easy to erase the memory data written on the EPROM chips by ultraviolet rays. In addition, these components can be mounted in a high density.

For example, in the first embodiment shown in Figure 1, if each memory capacity of the ultraviolet-erasing-type EPROM flat package 1 and static RAM flat packages 3 is 64K bit and each memory is 8K bite, the lead pitch of these flat packages is generally 1.27mm and the thickness of the package is 2-3mm. Namely, the entire thickness of the memory module is 10-15mm, which is considered to be very thin, and its width is very similar to that of the standard JEDEC 28-pin DIP, which is considered to be highly dense.

Figure 2 shows a cross-sectional view of the memory module of the second embodiment. In Figure 2, same reference numerals are used for the components identical to those in Figure 1.

A flat-package IC 8 is mounted as follows along with the ultraviolet-erasing-type EPROM flat package 1 and static RAM flat packages 3, wherein the flat-package IC 8 has the different shape and width from them.

Namely, the flat-package IC 8 is flat-mounted on a circuit board 9. The leads 7 at the bottom of the circuit boards 4 and 5 are respectively inserted through the through holes 9a provided in the circuit board 9 and soldered by the solder 6.

5 Furthermore, in the present invention, other chip components, resistance or condensers, not limited to the flat-package-type ICs, can be flat-mounted on another circuit board and assembled to the memory module as described in the  
10 second embodiment shown in Figure 2.

As has been discussed in the foregoing, it is an advantage of the present invention in that the completely sealed ultraviolet-erasing-type EPROM flat package 1 with a guaranteed quality is layered and highly densely mounted with  
15 the flat packages of other memory elements, allowing a good production yield and low production cost. Moreover, since the window is provided on the top of the EPROM flat package from which the ultraviolet rays pass through, it is easy to erase the memory data written on the EPROM by the ultraviolet  
20 rays.

Claim:

A memory module, comprising:

an ultraviolet-erasing-type EPROM flat package  
having a window from which ultraviolet rays pass  
through;

5

a flat package of other memory elements or a memory  
element mounting board having a substantially same size  
as said EPROM flat package;

10

said EPROM flat package and said flat package of  
other memory elements or said mounting board being  
layered, wherein said EPROM flat package is positioned  
on the top so that said ultraviolet-erasing window is  
exposed to the outside;

15

each lead of these components respectively inserted  
to through holes provided in a pair of side circuit  
boards facing each other so as to be electrically  
connected to conductor patterns of each side circuit  
board.

20

MM-1164  
022795

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭61-63048

⑬ Int.Cl.

H 01 L 25/14  
29/78

識別記号

庁内整理番号

7638-5F  
7514-5F

⑭ 公開 昭和61年(1986)4月1日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 メモリモジュール

⑯ 特 願 昭59-185042

⑰ 出 願 昭59(1984)9月4日

⑱ 発 明 者 影 山 精 一 東京都府中市東芝町1 株式会社東芝府中工場内  
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地  
⑳ 代 理 人 弁 理 士 須 山 佐 一

明 細 書

1. 発明の名称 メモリモジュール

2. 特許請求の範囲

(1) 素子透過窓を有する素子透過型EPROMのフラットパッケージと、これとはほぼ同サイズの他のメモリ素子のフラットパッケージあるいはメモリ素子搭載基板とを前記EPROMのフラットパッケージが素子透過窓が外面に露出するように積置し、これらの各リードを対向配置された一対の回路基板のスルーホールにそれぞれ挿入し各回路基板上の導体パターンと電気的に接続してなることを特徴とするメモリモジュール。

3. 発明の詳細な説明

【発明の技術分野】

本発明は素子透過型EPROMを他のメモリ素子とともに高密度で実装してなるメモリモジュールに関する。

【発明の技術的課題とその問題点】

素子透過型EPROMチップは、型込まれた

メモリデータが素子透過窓を照射することにより消去されるように構成されている。

従来から、このような素子透過型EPROMチップを実装してメモリモジュールを構成する場合には、EPROMのベアチップを他のメモリ素子とともに同一パッケージ内に封入するとともに、このパッケージに素子透過窓を設けることが行われている。

しかしながら、このようなメモリモジュールにおいては、大きなパッケージ全体を素子透過窓を有する特殊な構造のものにしなければならないため、コストが高くなるという問題があった。

また、EPROMのベアチップでは、型込みおよび消去の性能を完全に保証することが難しいため、製品全体の歩留りが悪く不良品が多いという問題があった。

さらにベアチップは、その表面にごみが付着して消去不良を生じるおそれがあるため、チップの搭載およびパッケージの組立の際の静電気をより一層低くしなければならないという問題があった。



## 【発明の目的】

本発明はこれらの問題を解消するためになされたもので、素外積型E PROMを実装し高品質で実装密度の高いメモリモジュールを提供することを目的とする。

## 【発明の概要】

すなわち本発明のメモリモジュールは、素外積型E PROMを有する素外積型E PROMのフラットパッケージと、これとはほぼ同サイズの他のメモリ素子のフラットパッケージあるいはメモリ素子搭載基板とを前記E PROMのフラットパッケージが最外面で素外積型E PROMが外面に露出するように積重し、これらの各リードを対向配置された一対の回路基板のスルーホールにそれぞれ挿入し各回路基板上の導体パターンと電気的に接続してなることを特徴としている。

## 【発明の実施例】

以下図面に基づいて本発明の実施例を説明する。

第1図は本発明の一実施例のメモリモジュールの部分断面図である。

このように構成される実施例のメモリモジュールにおいては、完全に封止され品質の保証された素外積型E PROMのフラットパッケージ1が使用され、これがスタティックRAMのフラットパッケージ3とともに積重されて実装されているので、E PROMの素外積型E PROMを簡単に取外すことができ、しかも高い実装密度を得ることができる。

すなわち、第1図に示す実施例において、例えば素外積型E PROMおよびスタティックRAMの各メモリ容量を64 Kビット、各メモリ構成を8 Kバイトとしたとき、これらのフラットパッケージは一般にリードピッチが1. 27 mmでパッケージ厚が2~3 mmであるので、全体の厚さが10~15 mmと極めて厚く、幅寸法も標準のJEDECの28ピンDIPに近い極めて高実装密度のメモリモジュールが得られる。

第2図は、本発明の他の実施例のメモリモジュールの断面図である。なお第2図において、第1図と共通する部分には同一符号が付してある。

図において符号1はガラスからなる素外積型E PROMのフラットパッケージを示しており、その下側には、このフラットパッケージと同一形状でリード間の幅寸法の等しい3個のスタティックRAMのフラットパッケージ3が積み重ねられて配置されている。

これらの素外積型E PROMのフラットパッケージ1およびスタティックRAMのフラットパッケージ3は、それぞれのリード1a、3aがこれらを挟んで対向配置された一対の回路基板4、5のスルーホール4a、5aにそれぞれ挿入され、半田6により回路基板4、5の導体パターン（図示を省略）に電気的に接続されている。

また、回路基板4、5の下縁にはDIP型の複数個のリード7が突設されている。これらのリード7はそれぞれ回路基板4、5上の導体パターンに電気的に接続されており、このモジュールをマザーボードとなる他の回路基板に電気的に接続させる。

この実施例においては、素外積型E PROMのフラットパッケージ1およびスタティックRAMのフラットパッケージ3とともにこれらと形状および幅寸法の異なるフラットパッケージ型IC 8が以下のようにして実装されている。

すなわち、このフラットパッケージ型IC 8は、別の回路基板9上に平面実装されており、この搭載回路基板は、その回路基板9に設けられたスルーホール9aに、対向配置された回路基板4、5下縁のリード7が挿入され半田6により固定されることによりモジュールに組込まれている。

なお、本発明においては、別の回路基板上に、フラットパッケージ型ICばかりでなく他のチップ部品や抵抗、コンデンサ等も平面実装し、これを第2図に示した実施例と同様にしてモジュールに組込むことも可能である。

## 【発明の効果】

以上説明したように、本発明のメモリモジュールにおいては、品質が保証され完全に封止された素外積型E PROMのフラットパッケージが

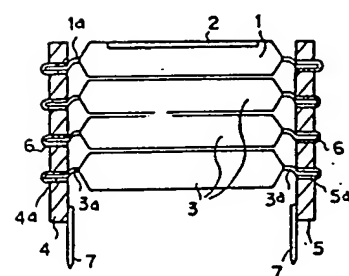
他のメモリ素子のフラットパッケージ等と積重ねられて実装されているので、実装密度が高く、しかも製造の際の歩留りが高く製造コストも低くおさえることができる。また、最外側に最外線透過型EPROMのフラットパッケージの最外線透過窓が位置するように配置されているので、EPROMの最外線読み取り容易に行なうことができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例の部分断面図、第2図は別の実施例の部分断面図である。

- 1-----最外線透過型EPROMの  
フラットパッケージ
- 2-----最外線透過窓
- 3-----スタティックRAMの  
フラットパッケージ
- 4、5、9---回路基板
- 6-----半田
- 7-----リード
- 8-----フラットパッケージ型IC

第1図



第2図

